**Ministerul Educației al Republicii Moldova**

**Universitatea Tehnică a Moldovei**

**Facultatea Calculatoare, Informatică și Microelectronică**

**Departamentul Informatică și Ingineria Sistemelor**

**Raport**

Lucrarea de laborator nr.1

Disciplina: Analiza și Sinteza Dispozitivelor Numerice

Tema: Sinteza circuitelor logice combinaționale.

**Efectuat**: st.gr. TI-207 Bunescu Gabriel

**Verificat**: lect. univ. Osovschi Mariana

Chișinău 2021

**Scopul lucrării:**

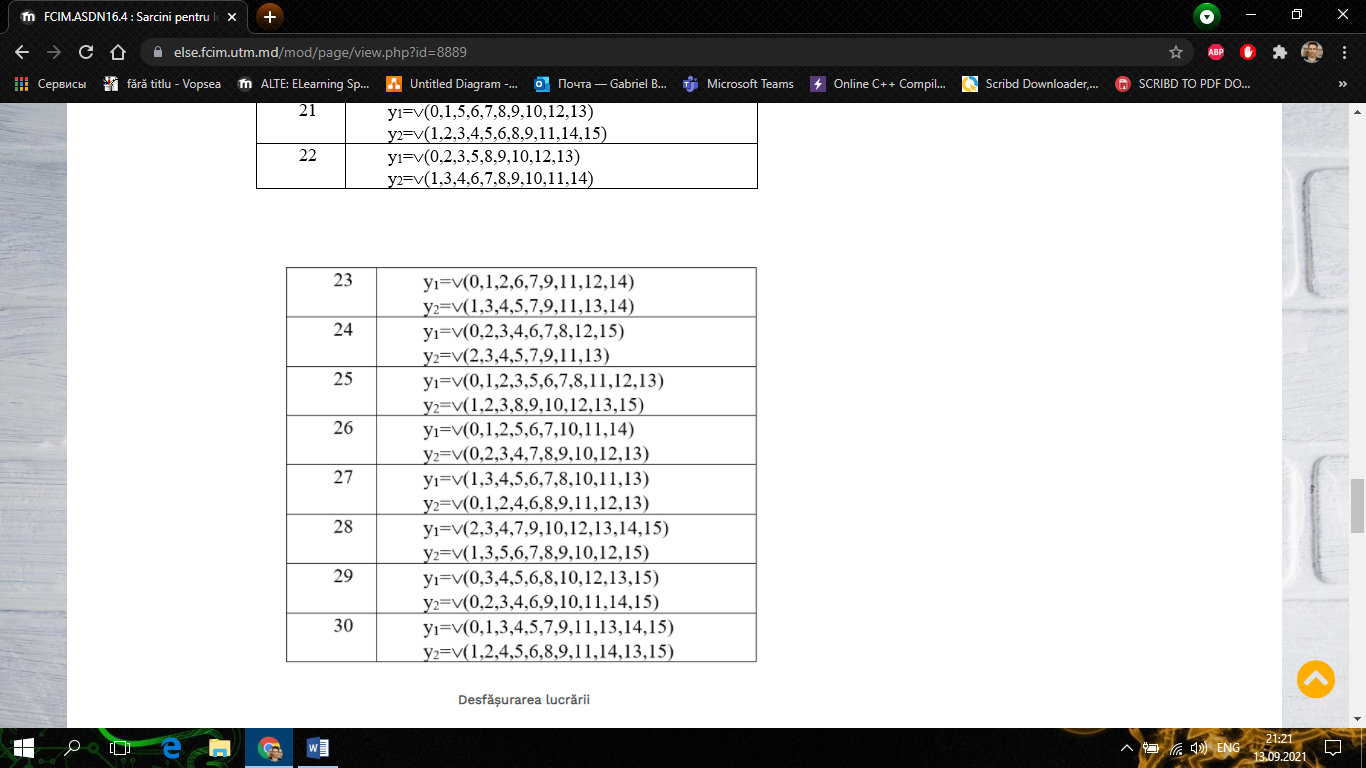
studierea practică şi cercetarea procesului de sinteză a circuitelor logice combinaţionale.

**Temă pentru acasă:**

1.   Se efectuează minimizarea funcţiilor logice ***y1***şi***y2***conform variantei din tabelul 2.1. Pentru ambele funcţii se efectuează sinteza circuitul logic în setul de elemente **ŞI-NU**.

2.    Se efectuează minimizarea funcţiilor logice ***y1***şi***y2***conform variantei din tabelul 2.1. Pentru ambele funcţii se efectuează sinteza circuitul logic în setul de elemente **SAU-NU**.

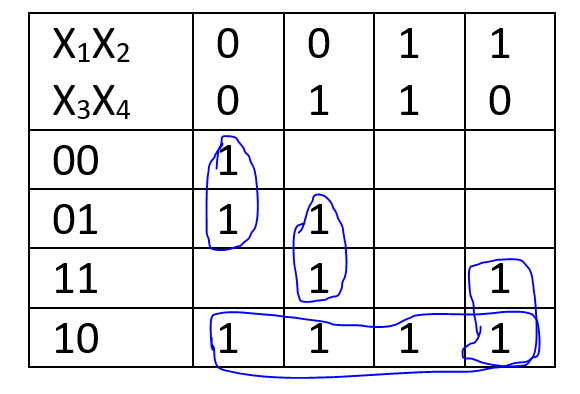
3.   Pentru schemele obținute calculați costul și timpul de reținere a semnalelor.



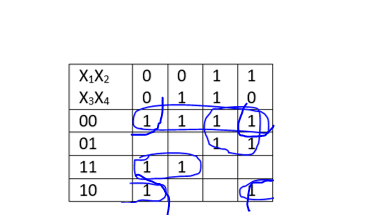
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Nr. | X1 | X2 | X3 | X4 | Y1 | Y2 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 |

1. Minimizarea functii logice,folosind diagrama karnaugh:

FCDP



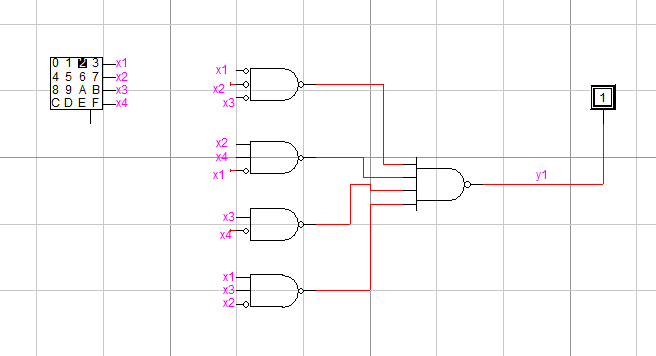
Y1=X1X2X3+ X1X2X4+X3X4+X1X2X3

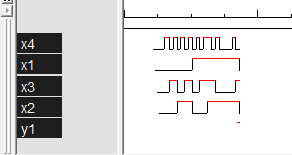


Y2=X3X4+ X1X3+X1X3X4+X2X4

Y1=X1X2X3+ X1X2X4+X3X4+X1X2X3

Y1=X1X2X3\*X1X2X4\*X3X4\*X1X2X3 forma si-nu/si-nu



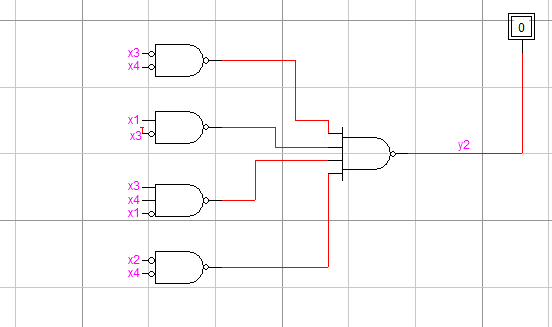


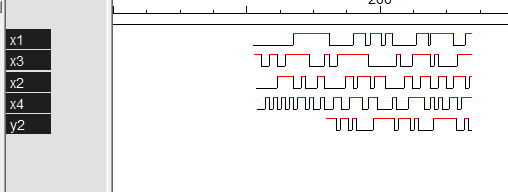
Costul:15

Timpul de retinere a segmentului Td:2

Y2=X3X4+ X1X3+X1X3X4+X2X4

Y2=X3X4\* X1X3\*X1X3X4\*X2X4  forma si-nu/si-nu

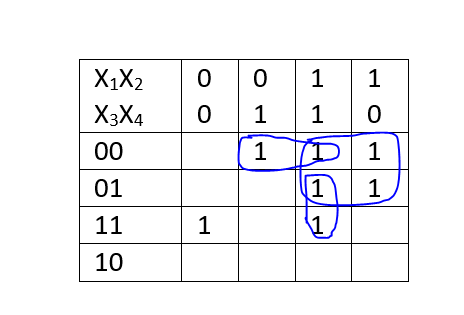




Costul:13

Timpul de retinere a segmentului Td:2

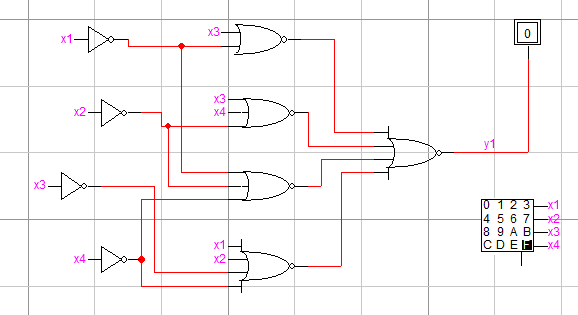
1. FCCP()

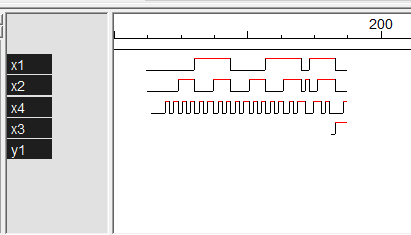


Y1=(X1+X3)\*(X2+X3+X4)\*(X1+X2+X4)\*(X1+X2+X3+X4)

Y1=(X1+X3)\*(X2+X3+X4)\*(X1+X2+X4)\*(X1+X2+X3+X4)

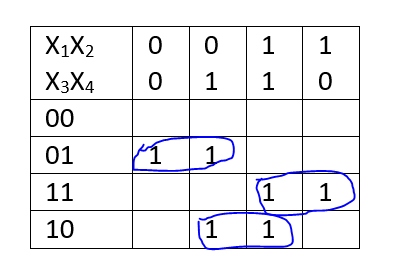
Y1=(X1+X3)+(X2+X3+X4)+(X1+X2+X4)+(X1+X2+X3+X4) - Forma sau-nu/sau-nu





Costul:20

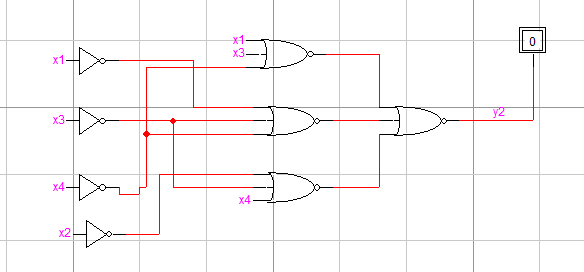
Timpul de retinere a segmentului Td:2

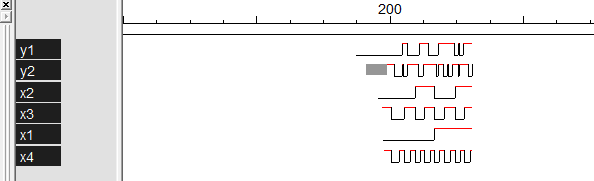


Y2=(X1+X3+X4)\*(X1+X3+X4)\*(X2+X3+X4)

Y2=(X1+X3+X4)\*(X1+X3+X4)\*(X2+X3+X4)

Y2=(X1+X3+X4)+(X1+X3+X4)+(X2+X3+X4) -Forma sau-nu/sau-nu





Costul:16

Timpul de retinere a segmentului Td:2

Concluzie:

La crearea acestui laborator eu am invatat despre cum se face minimizarea funcţiilor logice in sinteza circuitul logic în setul de elemente **ŞI-NU** si cum se efectuează sinteza circuitul logic în setul de elemente **SAU-NU**.Am creat schemele respective pentru functiile obtinute in programul **LogicWorks si am** calculat costul și timpul de reținere a semnalelor.